

(19) 日本国特許庁 (J P)

(12) **公開特許公報 (A)**

(11)特許出願公開番号

特開平11-312969

(43)公開日 平成11年(1999)11月9日

(51) Int.Cl.<sup>8</sup>

識別記号

FI

**H O 3 K 19/0175**  
**19/00**  
**19/0948**

H O 3 K 19/00  
19/094

101F  
A  
B

審査請求 未請求 請求項の数5 OL (全 7 頁)

(21)出願番号

特願平10-118160

(22)出願日

平成10年(1998)4月28日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 390023928

日立エンジニアリング株式会社

茨城県日立市幸町3丁目2番1号

(72)発明者 国井 浩一

茨城県日立市幸町三丁目2番1号 日立エンジニアリング株式会社内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体回路

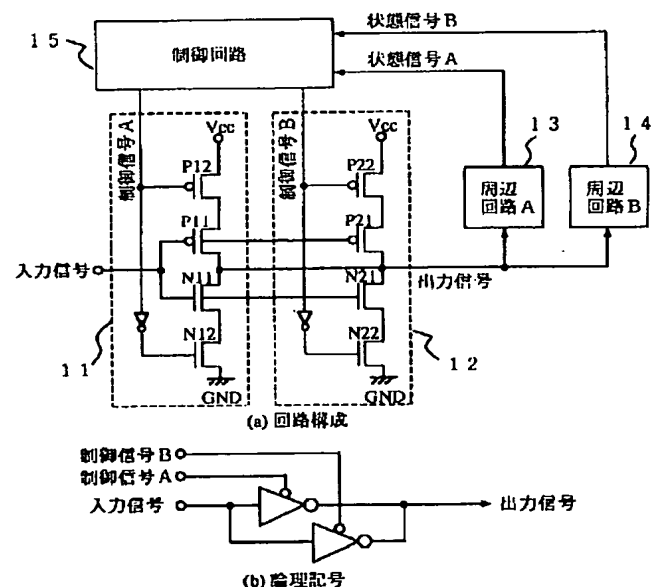
(57) 【要約】

【課題】従来のCMOS回路は、マイコンシステムの動作状態に対応した最適な消費電流値に調整できないという問題点があった。

【解決手段】駆動能力可変回路において、出力信号を生成するPMOSトランジスタおよびNMOSトランジスタを複数接続してスイッチング制御を行い、動作するPMOSトランジスタとNMOSトランジスタの組み合わせをマイコンシステムの動作状態に対応させる。

【効果】マイコンシステムの動作状態に対応した最適な消費電流値に調整可能となる。

**1**



1

## 【特許請求の範囲】

【請求項1】 入力信号に応答して出力信号を発生する半導体回路において、第1のPMOSTランジスタと第2のPMOSTランジスタと第1のNMOSTランジスタと第2のNMOSTランジスタを一組とするCMOS回路を二組以上備え、第2のPMOSTランジスタのソースが電源電圧に接続され、第2のPMOSTランジスタのドレインが第1のPMOSTランジスタのソースに接続され、第1のPMOSTランジスタおよび第1のNMOSTランジスタのゲートに入力信号が接続され、第1のPMOSTランジスタと第1のNMOSTランジスタの各々のドレインが共通の出力信号に接続され、第1のNMOSTランジスタのソースが第2のNMOSTランジスタのドレインに接続され、第2のNMOSTランジスタのソースが接地され、第2のPMOSTランジスタおよび第2のNMOSTランジスタのゲートに制御信号が接続され、出力信号が複数の周辺回路に接続され、周辺回路の動作状態を解析して第2のPMOSTランジスタ及び第2のNMOSTランジスタの制御信号を生成する制御回路を備えることを特徴とする半導体回路。

【請求項2】 請求項1において、ソフトウェアで任意に第2のPMOSTランジスタと第2のNMOSTランジスタのスイッチング制御を設定できる制御レジスタを備えることを特徴とする半導体回路。

【請求項3】 請求項2において、制御回路と制御レジスタからの制御信号の組み合わせにより、任意に第2のPMOSTランジスタと第2のNMOSTランジスタのスイッチング制御を設定できることを特徴とする半導体回路。

【請求項4】 請求項1において、第1のPMOSTランジスタのソースが電源電圧に接続され、第1のNMOSTランジスタのソースが接地され、第1のPMOSTランジスタおよび第1のNMOSTランジスタのゲートに入力信号を共通に接続し、更に入力信号に対する制御回路を備え、制御回路からの制御信号を第1のPMOSTランジスタおよび第1のNMOSTランジスタのゲートに接続し、第1のPMOSTランジスタと第1のNMOSTランジスタのスイッチング制御ができることを特徴とする半導体回路。

【請求項5】 請求項1において、2入力以上の入力信号で構成される論理回路（例えば、2NAND、3NAND、2NOR、3NOR等）において、1入力に対して電源電圧側の第1のPMOSTランジスタと並列直列に第3、第4のPMOSTランジスタを接続し、さらに1入力に対して接地側の第1のNMOSTランジスタと直列や並列に第3、第4のNMOSTランジスタを接続し、制御回路からの制御信号の組み合わせにより、第2のPMOSTランジスタと第2のNMOSTランジスタのスイッチング制御ができることを特徴とする半導体回路。

2

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体回路に関し、特に、マイコンシステムの消費電流低減に適用して有効な技術に関する。

【0002】

【従来の技術】 図11は、従来、半導体回路に用いられていたインバータ回路111、およびその出力信号に接続されている周辺回路A13と周辺回路B14、およびユーザが任意に周辺回路の動作を制御できる制御レジスタ112、および制御レジスタ112の設定値を解析してインバータ回路111の出力信号を停止できる制御回路113を示すものである。ユーザは、制御レジスタ112を用いて未使用時の周辺回路A13と周辺回路B14の動作を停止することができる。この時、インバータ回路111の出力信号に接続されている周辺回路を全て停止させた場合は、制御回路113がインバータ回路111の出力信号を“1”レベルまたは“0”レベルに固定してマイコンシステムの消費電流低減を図ることができる。インバータ回路111のPMOSTランジスタP1とNMOSTランジスタN1のゲートサイズは、インバータ回路111の出力信号に接続される周辺回路の数や出力信号の配線容量、およびマイコンシステムの動作周波数や動作電圧を考慮して最適な固定ゲートサイズを決めていた。

【0003】

【発明が解決しようとする課題】 前記従来回路において、出力信号に接続されている周辺回路がマイコンの外部にあり接続されていない場合、およびマイコンシステムの動作周波数が低くインバータ回路111の出力信号の動作速度が遅くても良い場合でも、PMOSTランジスタP1とNMOSTランジスタN1のゲートサイズが固定であるため出力信号部分に流れる電流値を最適に調整できない。

【0004】

【課題を解決するための手段】 本発明においては、入力信号に対して電源電圧側にPMOSTランジスタを複数直列に、接地側にNMOSTランジスタを複数直列に接続したCMOS回路を複数接続した構成の駆動能力可変回路を用い、電源電圧側に接続してあるPMOSTランジスタ、および接地してあるNMOSTランジスタにスイッチング制御機能を備え、周辺回路の動作状態や接続状態を解析する制御回路、および制御レジスタを備え、周辺回路の状態、および制御レジスタの設定に対応するように複数存在する出力信号側のPMOSTランジスタとNMOSTランジスタの駆動能力を組み合わせることで全体の駆動能力を自動調整し、出力信号部分に対する消費電流値の自動調整機能を有する。

【0005】

【発明の実施の形態】（実施例1） 図1は、本発明の第

3

1の実施例の回路図であり、二組のCMOS回路11と12、および制御回路15で駆動能力可変回路を実現する場合の例である。図1の回路図は、CMOS回路11において、PMOSTランジスタP12のソースが電源電圧Vccに接続され、PMOSTランジスタP12のドレインがPMOSTランジスタP11のソースに接続され、PMOSTランジスタP11とNMOSTランジスタN11のゲートが入力信号に接続され、PMOSTランジスタP11とNMOSTランジスタN12のドレインが出力信号に接続され、NMOSTランジスタN11のソースがNMOSTランジスタN12のドレインに接続され、NMOSTランジスタN12のソースが接地電位GNDに接続され、PMOSTランジスタP12とNMOSTランジスタN12のゲートが制御信号Aに接続される。さらに、CMOS回路12において、CMOS回路11と同様にPMOSTランジスタP22とP21、およびNMOSTランジスタN21とN22が接続される。また前記出力信号に周辺回路A13と周辺回路B14が接続されており、それぞれの動作状態や接続状態を示す状態信号Aと状態信号Bが制御回路15に接続されて全体を構成している。ただし、ここで示す前記周辺回路A13や周辺回路B14がマイコン外部に接続される場合は、前記出力信号と状態信号がマイコンのI/O端子で接続してあるものとする。

【0006】図2に第1の実施例における制御回路15の真理値表の例を示す。例えば周辺回路A13と周辺回路B14が両方動作していない、または両方接続されていない(状態信号A=状態信号B="0"レベル)場合は、制御信号A=制御信号B="1"レベルとなり、P12とN12とP22とN22がオフとなり、その結果、入力信号の変化に対応するP11とN11とP21とN21は出力信号に対する駆動能力がなくなる。従って本駆動能力可変回路の出力信号に接続されている周辺回路が全て動作していない場合は、出力信号部分の電流は消費しない。

【0007】次に、周辺回路A13と周辺回路B14の両方が動作、または両方が接続してある(状態信号A=状態信号B="1"レベル)場合は、制御信号A=制御信号B="0"レベルとなり、P12とN12とP22とN22がオンとなり、入力信号の変化に対応する出力信号において、"1"レベルの駆動能力はP11とP21の和となり、"0"レベルの駆動能力はN11とN21の和になるため一番大きくなり、さらにこの場合の出力信号部分の消費電流は最大となる。

【0008】次に、周辺回路A13と周辺回路B14のどちらか一方のみが動作、またはどちらか一方のみが接続してある(状態信号A="0"レベルでかつ状態信号B="1"レベル、または状態信号A="1"レベルでかつ状態信号B="0"レベル)場合は、制御信号A="1"レベル、制御信号B="0"レベルとなり、P1

4

2とN12がオフ、P22とN22がオンとなり、入力信号の変化に対応する出力信号において、"1"レベルを駆動するのはP21のみとなり、"0"レベルを駆動するのはN21のみとなるため、出力信号に対する駆動能力はP11とN11が動作していない分だけ小さくなる。この時、全ての周辺回路がマイコンに内蔵してある場合は、出力信号に接続されている周辺回路数は変わらないため配線容量も変わらない。その結果、駆動能力が小さくなる分、出力信号の伝搬速度が低下するが、マイコンの動作速度を下げた場合などは出力信号の伝搬速度が遅くても問題ないので消費電流の低減に有効である。また、周辺回路がマイコンの外に接続してある場合は、接続先の周辺回路が少なければ、出力信号の配線容量も小さくなるのでさらに消費電流は低減する。

【0009】(実施例2)図3は、本発明の第2の実施例の回路図である。この例では実施例1の様に周辺回路からの状態信号で制御信号を生成するのではなく、制御レジスタを持たせソフトウェアで制御信号を生成する方法で本発明を実現したものである。

【0010】ここでは、実施例1と同様のCMOS回路11とCMOS回路12と、1つの駆動能力制御レジスタ35を備え、この制御レジスタ35内に2ビットの制御ビット(ビットAとビットB)がある場合を示す。ビットAからの制御信号AでPMOSTランジスタP12とNMOSTランジスタN12のスイッチング制御を行い、ビットBからの制御信号BでPMOSTランジスタP22とNMOSTランジスタN22のスイッチング制御を行うことで、実施例1と同じ効果を得ることができる。

【0011】図4に第2の実施例における真理値表の例を示す。例えばビットA=ビットB="1"レベルの場合は、制御信号A=制御信号B="1"レベルとなり、P12とN12とP22とN22がオフとなり、その結果入力信号の変化に対応するP11とN11とP21とN21は、出力信号に対する駆動能力がなくなる。

【0012】次に、ビットA=ビットB="0"レベルの場合は、制御信号A=制御信号B="0"レベルとなり、P12とN12とP22とN22がオンとなり、入力信号の変化に対応するP11とN11とP21とN21が動作するため、出力信号に対する駆動能力が最大になる。

【0013】次に、ビットA="0"レベルでかつビットB="1"レベルの場合は、制御信号A="0"レベル、制御信号B="1"レベルとなり、P22とN22がオフ、P12とN12がオンとなり、入力信号の変化に対応する出力信号において、"1"レベルの駆動能力はP11のみとなり、"0"レベルの駆動能力はN11のみとなるため、出力信号に対する駆動能力はP21とN21が動作していない分だけ小さくなる。

【0014】次に、ビットA="1"レベルでかつビット

50

5

トB = “0”レベルの場合は、制御信号A = “1”レベル、制御信号B = “0”レベルとなり、P12とN12がオフ、P22とN22がオンとなり、入力信号の変化に対応する出力信号において、“1”レベルの駆動能力はP21のみとなり、“0”レベルの駆動能力はN21のみとなるため、出力信号に対する駆動能力はP11とN11が動作してない分だけ小さくなる。

【0015】実施例2では、ユーザが任意に出力信号の駆動能力を調整できるので、出力信号に接続される周辺回路の動作状態や接続状態、およびシステムの動作周波数や動作電圧に対応した最適な消費電流値にできる。

【0016】（実施例3）図5は、本発明の第3の実施例の回路図である。この例は、実施例1の周辺回路からの動作状態信号と実施例2の制御レジスタ15を組み合わせることで制御信号を生成し本発明を実現したものである。ここでは、実施例1と同様のCMOS回路11とCMOS回路12、制御回路15、1つの駆動能力制御レジスタ35、2つの周辺回路A13と周辺回路B14が接続しており、この制御レジスタ35内に2ビットの制御ビットがある場合を示す。周辺回路A13と周辺回路B14からの状態信号Aと状態信号B、および制御レジスタ35にあるビットAとビットBを制御回路15が解析して最適な駆動能力となるような制御信号Aと制御信号Bを生成し、PMOSTランジスタP12とP22とNMOSTランジスタN12とN22のスイッチング制御を行うことで、実施例1や実施例2と同じ効果を得ることができる。

【0017】（実施例4）図6は、本発明の第4の実施例の回路図である。この例は、実施例1のCMOS回路11に対するCMOS回路61として、PMOSTランジスタP11とP21のソースが電源電圧に接続され、NMOSTランジスタN11とN21のソースが接地電位GNDに接続された構成となる。また、実施例1のCMOS回路12に対して、前記CMOS回路61と同様の接続となるCMOS回路62で構成される。さらに、入力信号にインバータ、NAND、NORで構成される制御回路63および制御回路64が接続され、PMOSTランジスタP11のゲートとNMOSTランジスタN11のゲートに制御回路63が接続され、PMOSTランジスタP21のゲートとNMOSTランジスタN21のゲートに制御回路64が接続され、CMOS回路61とCMOS回路62の出力信号に周辺回路A13と周辺回路B14が接続され、周辺回路A13と周辺回路B14からの状態信号Aと状態信号Bが制御回路15に接続されて全体を構成している。

【0018】図7に第4の実施例における制御回路15の真理値表の例を示す。例えば周辺回路A13と周辺回路B14が両方動作しない、または両方が接続されていない（状態信号A = 状態信号B = “0”レベル）場合は、制御信号A = 制御信号B = “1”レベルとなり、さ

6

らに制御回路63と制御回路64が、P11とN11とP21とN21をオフにすることで、出力信号に対する駆動能力がなくなる。

【0019】次に、周辺回路A13と周辺回路B14が両方動作する（状態信号A = 状態信号B = “1”レベル）場合は、制御信号A = 制御信号B = “0”レベルとなり、入力信号の変化に対応する出力信号において、制御回路63と制御回路64が、P11とN11とP21とN21をオンにすることで、出力信号に対する駆動能力が最大となる。

【0020】次に、周辺回路A13と周辺回路B14のどちらか一方が動作する場合は、制御信号A = “1”レベル、制御信号B = “0”レベルとなり、さらに制御回路66でP11とN11をオフにし、制御回路67でP21とN21をオンにすることで、出力信号に対する駆動能力が小さくなる。

【0021】第4の実施例では、周辺回路A13と周辺回路B14の動作状態に対応したPMOSTランジスタP11およびNMOSTランジスタN11の駆動能力と、PMOSTランジスタP21およびNMOSTランジスタN21の駆動能力を組み合わせることで、第1の実施例のように出力信号部分の電流値を最適に調整できる。

【0022】（実施例5）図8は、本発明の第5の実施例の回路図である。この例は、実施例4の制御回路63に対する制御回路83として、PMOSTランジスタP81、およびNMOSTランジスタN81、N82、N83がPMOSTランジスタP11とNMOSTランジスタN11のゲートに接続され、実施例4の制御回路64に対する制御回路84として、PMOSTランジスタP82、およびNMOSTランジスタN84、N85、N86がPMOSTランジスタP21とNMOSTランジスタN21のゲートに接続された構成となる。また、実施例1と同様に周辺回路A13と周辺回路B14が接続され、周辺回路A13と周辺回路B14からの状態信号Aと状態信号Bが制御回路15に接続されて全体を構成している。

【0023】図9に第5の実施例における制御回路15の真理値表の例を示す。

【0024】周辺回路A13と周辺回路B14の動作状態を制御回路15が解析して、制御信号Aと制御信号Bを出力する。制御信号A = “0”レベルの場合は、N81、N82がオフ、P81とN83がオンとなり、その結果、P11とN11がオフになり出力信号を駆動しない。また、制御信号A = “1”レベルの場合は、N81、N82がオン、P81とN83がオフとなり、入力信号レベルに対応して、P11およびN11が出力信号を駆動する。

【0025】上記同様に制御信号Bにより、P82、N84、N85、N86が、P21とN21を制御するこ

7

とで出力信号の駆動状態を制御する。

【0026】第5の実施例では、周辺回路A13と周辺回路B14の動作状態に対応したPMOSTランジスタP11およびNMOSTランジスタN11の駆動能力と、PMOSTランジスタP21およびNMOSTランジスタN21の駆動能力を組み合わせることで、第1の実施例のように出力信号部分の電流値を最適に調整できる。

【0027】（実施例6）図10は、実施例1において、2入力NAND回路に適用した第6の実施例の回路図である。この回路は、CMOS回路101において、入力信号Aに対しては、実施例1と同様の回路構成とし、さらに入力信号Bに対しPMOSTランジスタP11と並列にPMOSTランジスタP13を接続し、NMOSTランジスタN11と直列にNMOSTランジスタN13を接続して2入力NAND回路構成にする。さらにCMOS回路102において、CMOS回路101と同様に入力信号Bに対しPMOSTランジスタP23、およびNMOSTランジスタN23が接続された構成である。さらに、周辺回路A13と周辺回路B14、および制御回路15が接続されて構成する。

【0028】この実施例6の回路の動作は、実施例1と同様に周辺回路A13と周辺回路B14の状態に対応して、PMOSTランジスタP12とP22、およびNMOSTランジスタN12とN22のスイッチング制御を行うことで、実施例1と同じ効果を得ることができる。

【0029】

【発明の効果】本発明によれば、回路を構成するPMOSTランジスタおよびNMOSTランジスタのスイッチング制御をすることで、マイコンシステムの各種動作状態に対応した消費電流値の最適化が可能となる。

【図面の簡単な説明】

【図1】本発明の駆動能力可変回路の第1の実施例を示す回路図である。

【図2】本発明の駆動能力可変回路の第1の実施例を示す真理値表である。

【図3】本発明の駆動能力可変回路の第2の実施例を示す回路図である。

【図4】本発明の駆動能力可変回路の第2の実施例を示す真理値表である。

【図5】本発明の駆動能力可変回路の第3の実施例を示す回路図である。

【図6】本発明の駆動能力可変回路の第4の実施例を示す回路図である。

【図7】本発明の駆動能力可変回路の第4の実施例を示す真理値表である。

【図8】本発明の駆動能力可変回路の第5の実施例を示す回路図である。

【図9】本発明の駆動能力可変回路の第5の実施例を示す真理値表である。

【図10】本発明の駆動能力可変回路の第6の実施例を示す回路図である。

【図11】従来のCMOS回路の一例を示す回路図である。

【符号の説明】

11, 12, 61, 62, 101, 102, 111…CMOS回路、13, 14…周辺回路、15, 63, 64, 83, 84, 113…制御回路、35, 112…制御レジスタ、P1, P11, P12, P13, P21, P22, P23, P81, P82…PMOSTランジスタ、N1, N11, N12, N13, N21, N22, N23, N81～N86…NMOSTランジスタ

【図2】

図 2

状態 信号A	状態 信号B	制御 信号A	制御 信号B	P11,N11 動作状態	P21,N21 動作状態	出力信号の 駆動能力
0	0	1	1	OFF	OFF	無
0	1	1	0	OFF	ON	小
1	0	1	0	OFF	ON	小
1	1	0	0	ON	ON	大

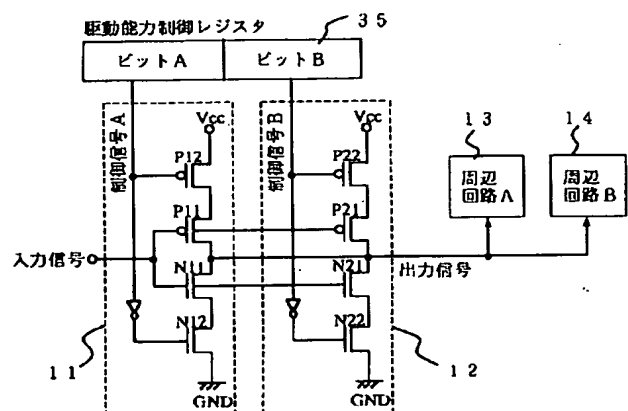
【図4】

図 4

ビットA	ビットB	P11,N11 動作状態	P21,N21 動作状態	出力信号の 駆動能力
0	0	ON	ON	大
0	1	ON	OFF	小
1	0	OFF	ON	小
1	1	OFF	OFF	無

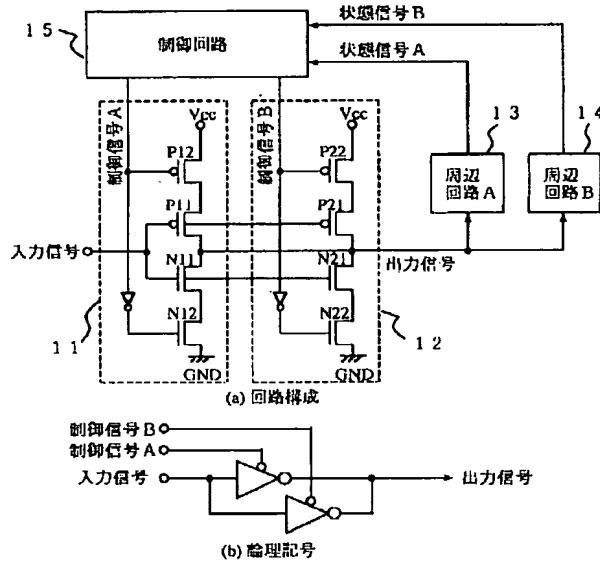
【図3】

図 3



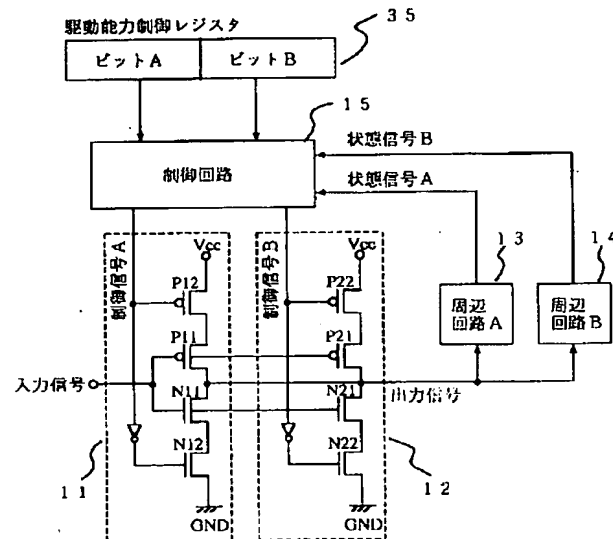
【図1】

図 1



【図5】

図 5

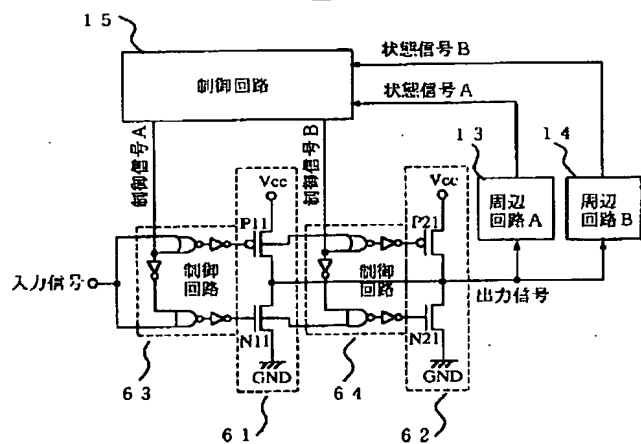


【図7】

図 7

【図6】

図 6



【図9】

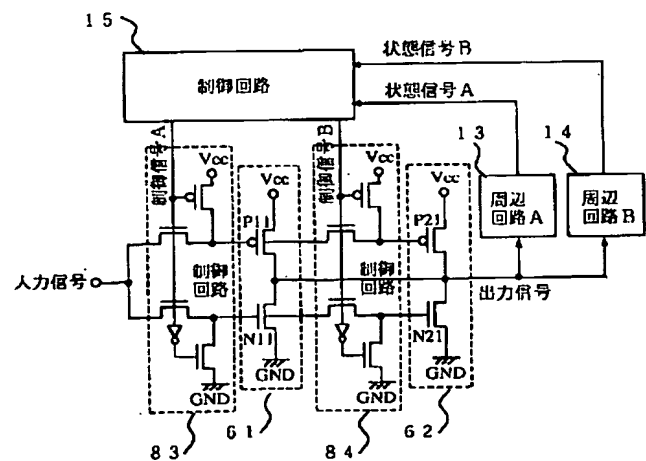
図 9

状態 信号 A	状態 信号 B	制御 信号 A	制御 信号 B	P11,N11 動作状態	P21,N21 動作状態	出力信号の 駆動能力
0	0	0	0	ON	ON	大
0	1	1	0	OFF	ON	小
1	0	1	0	OFF	ON	小
1	1	1	1	OFF	OFF	無

状態 信号 A	状態 信号 B	制御 信号 A	制御 信号 B	P11,N11 動作状態	P21,N21 動作状態	出力信号の 駆動能力
0	0	1	1	OFF	OFF	無
0	1	1	0	OFF	ON	小
1	0	1	0	OFF	ON	小
1	1	0	0	ON	ON	大

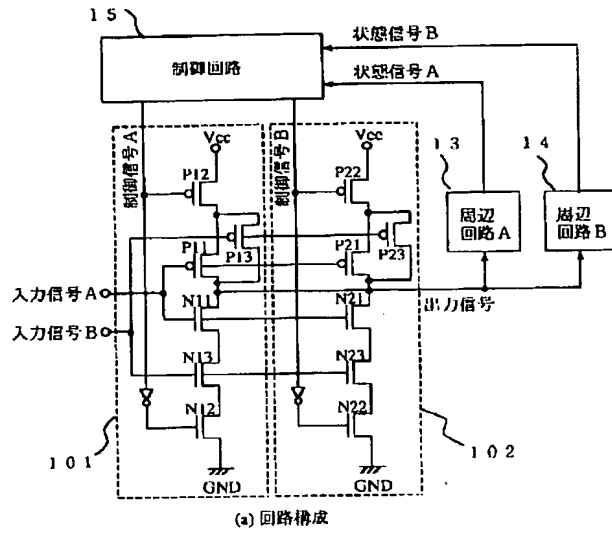
【図8】

図 8



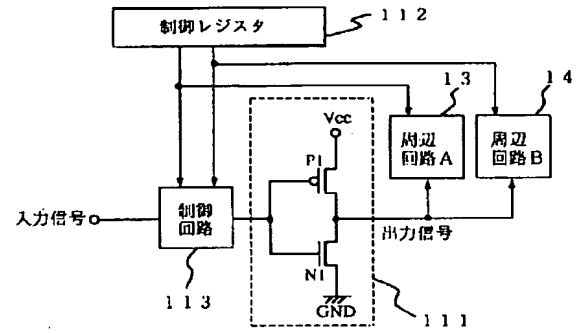
【図10】

図 10



【図11】

図 11



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-312969

(43)Date of publication of application : 09.11.1999

(51)Int.Cl.

H03K 19/0175

H03K 19/00

H03K 19/0948

(21)Application number : 10-118160

(71)Applicant : HITACHI LTD  
HITACHI ENG CO LTD

(22)Date of filing : 28.04.1998

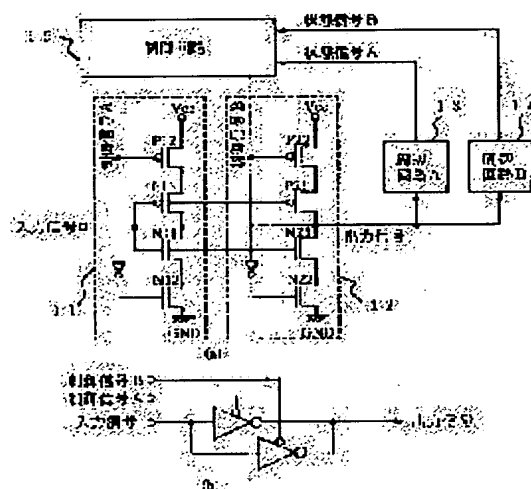
(72)Inventor : KUNII KOICHI

## (54) SEMICONDUCTOR CIRCUIT

### (57)Abstract:

PROBLEM TO BE SOLVED: To optimize current consumption of an output signal part by using a variable capability drive circuit to control plural switches of PMOS transistors TRs and NMOS TRs on the output signal side on accordance with setting of the peripheral circuit state and a control register.

SOLUTION: When both of peripheral circuits A 13 and B 14 are operated, a control signal A and a control signal B are at the '0' level, and TRs P12, N12, P22, and P22 are turned on, and the drive capability at the '1' level is the sum of those of TRs P11 and P21, and the drive capability in the '0' level is the sum of those of Trs N11 and N21, and the output signal part current consumption is maximum. When one of peripheral circuit A 13 and B14 is operated, the control signal A is at the '1' level and the control signal B is at the '0' level, and TRs P12 and N12 are turned off, and TRs P22 and N22 are turned on, and the drive capability corresponding to the output signal is reduced because only the TR P21 drives the '1' level and only the TR N21 drives the '0' level.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## SEMICONDUCTOR CIRCUIT

### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

### CLAIMS

---

[Claim(s)]

[Claim 1] In the semiconductor circuit which answers an input signal and generates an output signal, it has 2 or more sets of CMOS circuits which make a lot the 1st PMOS transistor, the 2nd PMOS transistor, the 1st NMOS transistor, and the 2nd NMOS transistor. The source of the 2nd PMOS transistor is connected to supply voltage, and the drain of the 2nd PMOS transistor is connected to the source of the 1st PMOS transistor. An input signal is connected to the gate of the 1st PMOS transistor and the 1st NMOS transistor. Each drain of the 1st PMOS transistor and the 1st NMOS transistor is connected to a common output signal. The source of the 1st NMOS transistor is connected to the drain of the 2nd NMOS transistor. The source of the 2nd NMOS transistor is grounded and a control signal is connected to the gate of the 2nd PMOS transistor and the 2nd NMOS transistor. The semiconductor circuit characterized by having the control circuit where it connects with two or more circumference circuits, and an output signal analyzes the operating state of a circumference circuit, and generates the control signal of the 2nd PMOS transistor and the 2nd NMOS transistor.

[Claim 2] The semiconductor circuit characterized by having the control register which can set the switching control of the 2nd PMOS transistor and the 2nd NMOS transistor as arbitration by software in claim 1.

[Claim 3] The semiconductor circuit characterized by the ability to set the switching control of the 2nd PMOS transistor and the 2nd NMOS transistor as arbitration with the combination of the control signal from a control circuit and a control register in

claim 2.

[Claim 4] The source of the 1st PMOS transistor is connected to supply voltage in claim 1. The source of the 1st NMOS transistor is grounded and an input signal is connected to the gate of the 1st PMOS transistor and the 1st NMOS transistor in common. Furthermore, have a control circuit to an input signal and the control signal from a control circuit is connected to the gate of the 1st PMOS transistor and the 1st NMOS transistor. The semiconductor circuit characterized by the ability to perform switching control of the 1st PMOS transistor and the 1st NMOS transistor.

[Claim 5] In the logical circuits (for example, 2NAND, 3NAND, 2NOR, 3NOR, etc.) which consist of input signals of 2 or more \*\*\*\*s in claim 1 The 3rd and 4th PMOS transistor is connected to the 1st PMOS transistor by the side of supply voltage, juxtaposition, or a serial to one input. The 3rd and 4th NMOS transistor is connected to the 1st NMOS transistor of the earth side, a serial, or juxtaposition to further 1 input. With the combination of the control signal from a control circuit The semiconductor circuit characterized by the ability to perform switching control of the 2nd PMOS transistor and the 2nd NMOS transistor.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About a semiconductor circuit, especially this invention is applied to consumed electric current reduction of a microcomputer system, and relates to an effective technique.

[0002]

[Description of the Prior Art] Drawing 11 shows conventionally the control circuit 113 which analyzes the set point of the inverter circuit 111 used for the semiconductor circuit and the circumference circuit A13 connected to the output signal, the circumference circuit B14, the control register 112 with which a user can control actuation of a circumference circuit to arbitration, and a control register 112, and can stop the output signal of an inverter circuit 111. A user can suspend actuation of the circumference circuit A13 at the time of intact, and the circumference circuit B14 using a control register 112. When all the circumference circuits connected to the output signal of an inverter circuit 111 are stopped at this time, a control circuit 113 can fix the output signal of an inverter circuit 111 to "1" level or "0" level, and

consumed electric current reduction of a microcomputer system can be aimed at. The gate size of the PMOS transistor P1 of an inverter circuit 111 and the NMOS transistor N1 had determined the optimal fixed gate size in consideration of the wiring capacity of the number of the circumference circuits connected to the output signal of an inverter circuit 111, or an output signal, and the clock frequency and operating voltage of a microcomputer system.

[0003]

[Problem(s) to be Solved by the Invention] Conventionally [ said ], when the circumference circuit connected to the output signal in the circuit is located in the exterior of a microcomputer and connected, and even when the clock frequency of a microcomputer system may be low and the working speed of the output signal of an inverter circuit 111 may be slow, since the gate size of the PMOS transistor P1 and the NMOS transistor N1 is immobilization, the current value which flows into an output signal part cannot be adjusted the optimal.

[0004]

[Means for Solving the Problem] An input signal is received in this invention. A PMOS transistor to a supply voltage side to two or more serials The drive capacity adjustable circuit of a configuration of having connected two or more CMOS circuits which connected the NMOS transistor to two or more serials is used for the earth side. The PMOS transistor linked to a supply voltage side and the grounded NMOS transistor are equipped with a switching control function. It has the control circuit which analyzes the operating state and connection condition of a circumference circuit, and a control register. It carries out regulating automatically of the whole drive capacity by combining the drive capacity of the PMOS transistor by the side of the output signal existing [ two or more ], and an NMOS transistor so that it may correspond to the condition of a circumference circuit, and a setup of a control register, and it has the regulating function of a consumed electric current value to an output signal part.

[0005]

[Embodiment of the Invention] (Example 1) Drawing 1 is the circuit diagram of the 1st example of this invention, and is an example in the case of realizing a drive capacity adjustable circuit in 2 sets of CMOS circuits 11 and 12, and a control circuit 15. As for the circuit diagram of drawing 1 , the source of the PMOS transistor P12 is connected to supply voltage Vcc in CMOS circuit 11. The drain of the PMOS transistor P12 is connected to the source of the PMOS transistor P11. The gate of the PMOS transistor P11 and the NMOS transistor N11 is connected to an input signal. The drain of the PMOS transistor P11 and the NMOS transistor N12 is connected to an output signal.

The source of the NMOS transistor N11 is connected to the drain of the NMOS transistor N12, the source of the NMOS transistor N12 is connected to the touch-down potential GND, and the gate of the PMOS transistor P12 and the NMOS transistor N12 is connected to a control signal A. Furthermore, in CMOS circuit 12, the PMOS transistors P22 and P21 and the NMOS transistors N21 and N22 are connected like CMOS circuit 11. Moreover, the circumference circuit A13 and the circumference circuit B14 are connected to said output signal, it connects with a control circuit 15 and the condition signal A and the condition signal B which show each operating state and connection condition constitute the whole. However, when said circumference circuit A13 and circumference circuit B14 which are shown here are connected to the microcomputer exterior, said output signal and condition signal shall be connected with the I/O terminal of a microcomputer.

[0006] The example of the table of truth value of the control circuit 15 in the 1st example is shown in drawing 2. For example, when the circumference circuit A13 and the circumference circuit B14 both are not operating or both are not connected (condition signal A= condition signal = [ B] "0" level) It is set to control signal A= control signal = [ B] "1" level, and P12, N12, and P22 and N22 become off, consequently the drive capacity over an output signal of P11 and N11 corresponding to change of an input signal, and P21 and N21 is lost. Therefore, when all the circumference circuits connected to the output signal of this drive capacity adjustable circuit are not operating, the current of an output signal part is not consumed.

[0007] Next, when actuation or both are connected (condition signal A= condition signal = [ B] "1" level), both the circumference circuit A13 and the circumference circuit B14 In the output signal corresponding to [ it is set to control signal A= control signal = / B/ "0" level, and P12, N12, and P22 and N22 become ON, and ] change of an input signal Becoming the largest, since the drive capacity of "1" level serves as the sum of P11 and P21 and the drive capacity of "0" level becomes the sum of N11 and N21, the consumed electric current of the output signal part in this case serves as max further.

[0008] Next, only one of the circumference circuit A13 and the circumference circuits B14 operates. or only either is connected (condition signal = [ A] "0" level -- and condition signal = [ B] "1" level --) On condition signal = [ A] "1" level, or and a condition signal B="0" level case In the output signal corresponding to [ are set to control signal = / A/ "1" level and control signal = / B/ "0" level, and P12 and N12 become OFF, and P22 and N22 become ON, and ] change of an input signal Since driving "1" level is set only to P21 and driving "0" level is set only to N21, as for the drive capacity over an output signal, only the part to which P11 and N11 are not operating becomes small.

When all circumference circuits are built in the microcomputer at this time, since the number of circumference circuits connected to the output signal does not change, it does not change wiring capacity, either. Consequently, although the velocity of propagation of the part and output signal with which drive capacity becomes small falls, since it is satisfactory even if the velocity of propagation of an output signal is slow when the working speed of a microcomputer is lowered, it is effective in reduction of the consumed electric current. Moreover, if there are few circumference circuits of a connection place when the circumference circuit is connected out of the microcomputer, since the wiring capacity of an output signal also becomes small, the consumed electric current will decrease further.

[0009] (Example 2) Drawing 3 is the circuit diagram of the 2nd example of this invention. In this example, this invention is realized by the approach of not generating a control signal by the condition signal from a circumference circuit like an example 1, but giving a control register and generating a control signal by software.

[0010] Here, it has one drive capacity control register 35, and the case where a 2-bit control bit (Bit A and Bit B) is in this control register 35 is indicated to be the same CMOS circuit 11 and same CMOS circuit 12 as an example 1. The same effectiveness as an example 1 can be acquired by the control signal A from Bit A performing switching control of the PMOS transistor P12 and the NMOS transistor N12, and performing switching control of the PMOS transistor P22 and the NMOS transistor N22 with the control signal B from Bit B.

[0011] The example of the table of truth value in the 2nd example is shown in drawing 4. For example, in the case of bit A= bit = [ B] "1" level, it is set to control signal A= control signal = [ B] "1" level, P12, N12, and P22 and N22 become off, and, as a result, P11 and N11 corresponding to change of an input signal, and P21 and N21 of the drive capacity over an output signal are lost.

[0012]. Next, in order that it may be set to control signal A= control signal = [ B] "0" level in the case of bit A= bit = [ B] "0" level, P12, N12, and P22 and N22 may become ON and P11 and N11 corresponding to change of an input signal, and P21 and N21 may operate, the drive capacity over an output signal becomes max.

[0013] On bit = [ A] "0" level, next, and in the case of bit = [ B] "1" level In the output signal corresponding to [ are set to control signal = / A/ "0" level and control signal = / B/ "1" level, and P22 and N22 become OFF, and P12 and N12 become ON, and ] change of an input signal Since the drive capacity of "1" level is set only to P11 and the drive capacity of "0" level is set only to N11, as for the drive capacity over an output signal, only the part to which P21 and N21 are not operating becomes small.

[0014] On bit = [ A ] "1" level, next, and in the case of bit = [ B ] "0" level In the output signal corresponding to [ are set to control signal = / A / "1" level and control signal = / B / "0" level, and P12 and N12 become OFF, and P22 and N22 become ON, and ] change of an input signal Since the drive capacity of "1" level is set only to P21 and the drive capacity of "0" level is set only to N21, as for the drive capacity over an output signal, only the part to which P11 and N11 are not operating becomes small.

[0015] In the example 2, since a user can adjust the drive capacity of an output signal to arbitration, it is made to the optimal consumed electric current value corresponding to the operating state and connection condition of the circumference circuit connected to an output signal, and the clock frequency and operating voltage of a system.

[0016] (Example 3) Drawing 5 is the circuit diagram of the 3rd example of this invention. This example generates a control signal combining the control register 15 of the operating state signal from the circumference circuit of an example 1, and an example 2, and realizes this invention. Here, the case where the same CMOS circuit 11 as an example 1, CMOS circuit 12 and the circumference circuit A13 of 35 or 2 drive capacity control registers of 15 or 1 control circuit, and the circumference circuit B14 are connected, and a 2-bit control bit is in this control register 35 is shown. A control signal A and a control signal B which a control circuit 15 analyzes Bit A and Bit B which are in the condition signal A, the condition signal B, and a control register 35 from the circumference circuit A13 and the circumference circuit B14, and serve as optimal drive capacity can be generated, and the same effectiveness as an example 1 or an example 2 can be acquired by performing switching control of the PMOS transistors P12 and P22 and the NMOS transistors N12 and N22.

[0017] (Example 4) Drawing 6 is the circuit diagram of the 4th example of this invention. This example serves as the configuration that the source of the PMOS transistors P11 and P21 was connected to supply voltage, and the source of the NMOS transistors N11 and N21 was connected to the touch-down potential GND as CMOS circuit 61 to CMOS circuit 11 of an example 1. Moreover, it consists of CMOS circuits 62 used as the same connection as said CMOS circuit 61 to CMOS circuit 12 of an example 1. Furthermore, the control circuit 63 and control circuit 64 which consist of an inverter, and NAND and NOR are connected to an input signal. A control circuit 63 is connected to the gate of the PMOS transistor P11, and the gate of the NMOS transistor N11. A control circuit 64 is connected to the gate of the PMOS transistor P21, and the gate of the NMOS transistor N21. The circumference circuit A13 and the circumference circuit B14 are connected to the output signal of CMOS circuit 61 and CMOS circuit 62, it connects with a control circuit 15 and the condition signal A from

the circumference circuit A13 and the circumference circuit B14 and the condition signal B constitute the whole.

[0018] The example of the table of truth value of the control circuit 15 in the 4th example is shown in drawing 7 . For example, the circumference circuit A13 and the circumference circuit B14 both do not operate, or when both are not connected (condition signal A= condition signal = [ B] "0" level), it is set to control signal A= control signal = [ B] "1" level, and further, it is that a control circuit 63 and a control circuit 64 turn OFF P11, N11, and P21 and N21, and the drive capacity over an output signal is lost.

[0019] Next, when the circumference circuit A13 and the circumference circuit B14 both operate (condition signal A= condition signal = [ B] "1" level), it is set to control signal A= control signal = [ B] "0" level, and in the output signal corresponding to change of an input signal, a control circuit 63 and a control circuit 64 are turning ON P11, N11, and P21 and N21, and the drive capacity over an output signal serves as max.

[0020] Next, when one of the circumference circuit A13 and the circumference circuits B14 operates, it is set to control signal = [ A] "1" level and control signal = [ B] "0" level, and it is turning OFF P11 and N11 further in a control circuit 66, and turning ON P21 and N21 in a control circuit 67, and the drive capacity over an output signal becomes small.

[0021] The 4th example can adjust the current value of an output signal part the optimal like the 1st example by combining the drive capacity of the PMOS transistor P11 corresponding to the operating state of the circumference circuit A13 and the circumference circuit B14, and the NMOS transistor N11, and the drive capacity of the PMOS transistor P21 and the NMOS transistor N21.

[0022] (Example 5) Drawing 8 is the circuit diagram of the 5th example of this invention. The PMOS transistor P81 and the NMOS transistors N81, N82, and N83 are connected to the gate of the PMOS transistor P11 and the NMOS transistor N11 as a control circuit [ as opposed to the control circuit 63 of an example 4 in this example ] 83. As a control circuit 84 to the control circuit 64 of an example 4, the PMOS transistor P82 and the NMOS transistors N84, N85, and N86 serve as a configuration connected to the gate of the PMOS transistor P21 and the NMOS transistor N21. Moreover, the circumference circuit A13 and the circumference circuit B14 are connected like an example 1, it connects with a control circuit 15 and the condition signal A from the circumference circuit A13 and the circumference circuit B14 and the condition signal B constitute the whole.

[0023] The example of the table of truth value of the control circuit 15 in the 5th

example is shown in drawing 9 .

[0024] A control circuit 15 analyzes the operating state of the circumference circuit A13 and the circumference circuit B14, and a control signal A and a control signal B are outputted. In the case of control signal = [ A] "0" level, N81 and N82 become OFF, and P81 and N83 become ON, consequently P11 and N11 become off, and an output signal is not driven. Moreover, in the case of control signal = [ A] "1" level, N81 and N82 become off [ ON, and P81 and N83 ], and P11 and N11 drive an output signal corresponding to input signal level.

[0025] The drive condition of an output signal is controlled by P82, N84, N85, and N86 controlling P21 and N21 by the control signal B like the above.

[0026] The 5th example can adjust the current value of an output signal part the optimal like the 1st example by combining the drive capacity of the PMOS transistor P11 corresponding to the operating state of the circumference circuit A13 and the circumference circuit B14, and the NMOS transistor N11, and the drive capacity of the PMOS transistor P21 and the NMOS transistor N21.

[0027] (Example 6) Drawing 10 is the circuit diagram of the 6th example applied to 2 input NAND circuit in an example 1. In CMOS circuit 101, to an input signal A, this circuit is made into the same circuitry as an example 1, connects the PMOS transistor P13 to the PMOS transistor P11 and juxtaposition to an input signal B further, connects the NMOS transistor N13 to the NMOS transistor N11 and a serial, and makes it 2 input NAND-circuit configuration. It is the configuration that furthermore the PMOS transistor P23 and the NMOS transistor N23 were connected to the input signal B in CMOS circuit 102 like CMOS circuit 101. Furthermore, the circumference circuit A13, the circumference circuit B14, and a control circuit 15 are connected, and it constitutes.

[0028] Actuation of the circuit of this example 6 can acquire the same effectiveness as an example 1 like an example 1 corresponding to the condition of the circumference circuit A13 and the circumference circuit B14 by performing switching control of the PMOS transistors P12 and P22 and the NMOS transistors N12 and N22.

[0029]

[Effect of the Invention] According to this invention, optimization of the consumed electric current value corresponding to the various operating state of a microcomputer system is attained by carrying out switching control of the PMOS transistor which constitutes a circuit, and an NMOS transistor.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the 1st example of the drive capacity adjustable circuit of this invention.

[Drawing 2] It is the table of truth value showing the 1st example of the drive capacity adjustable circuit of this invention.

[Drawing 3] It is the circuit diagram showing the 2nd example of the drive capacity adjustable circuit of this invention.

[Drawing 4] It is the table of truth value showing the 2nd example of the drive capacity adjustable circuit of this invention.

[Drawing 5] It is the circuit diagram showing the 3rd example of the drive capacity adjustable circuit of this invention.

[Drawing 6] It is the circuit diagram showing the 4th example of the drive capacity adjustable circuit of this invention.

[Drawing 7] It is the table of truth value showing the 4th example of the drive capacity adjustable circuit of this invention.

[Drawing 8] It is the circuit diagram showing the 5th example of the drive capacity adjustable circuit of this invention.

[Drawing 9] It is the table of truth value showing the 5th example of the drive capacity adjustable circuit of this invention.

[Drawing 10] It is the circuit diagram showing the 6th example of the drive capacity adjustable circuit of this invention.

[Drawing 11] It is the circuit diagram showing an example of the conventional CMOS circuit.

[Description of Notations]

11, 12, 61, 62, 101, 102, 111 [ -- A control register, P1 P11, P12, P13, P21, P22 P23 P81 P82 / -- A PMOS transistor N1 N11, N12, N13, N21 N22, N23, N81-N86 / -- NMOS transistor ] -- 13 A CMOS circuit, 14 -- A circumference circuit, 15, 63, 64, 83, 84, 113 -- A control circuit, 35, 112

**Abstract:**

**PROBLEM TO BE SOLVED:** To optimize current consumption of an output signal part by using a variable capability drive circuit to control plural switches of PMOS transistors TRs and NMOS TRs on the output signal side on accordance with setting of the peripheral circuit state and a control register.

**SOLUTION:** When both of peripheral circuits A 13 and B 14 are operated, a control signal A and a control signal B are at the '0' level, and TRs P12, N12, P22, and P22 are turned on, and the drive capability at the '1' level is the sum of those of TRs P11 and P21, and the drive capability in the '0' level is the sum of those of Trs N11 and N21, and the output signal part current consumption is maximum. When one of peripheral circuit A 13 and B14 is operated, the control signal A is at the '1' level and the control signal B is at the '0' level, and TRs P12 and N12 are turned off, and TRs P22 and N22 are turned on, and the drive capability corresponding to the output signal is reduced because only the TR P21 drives the '1' level and only the TR N21 drives the '0' level.

---

[Translation done.]